



МИНОБРНАУКИ РОССИИ

Федеральное государственное бюджетное образовательное учреждение
высшего образования

"МИРЭА - Российский технологический университет"

РТУ МИРЭА

Институт Информационных Технологий

Кафедра Вычислительной Техники

Лабораторная работа №4

по дисциплине

«Архитектура ВМиС»

Студент группы: БАНБ-АН-АН

Бананов
(Фамилия студента)

Преподаватель

Железняк Л.М.
(Фамилия преподавателя)

Москва 2021

Оглавление

Цель лабораторной работы.....	1
Порядок выполнения работы	1
Выполнение работы	1
Контрольные вопросы.....	3
Выводы	6

Цель лабораторной работы

Спроектировать логическую схему при помощи графического редактора САПР QUARTUS II. Исследовать работу схемы с использованием сигнального редактора САПР QUARTUS II.

Порядок выполнения работы

1. Изучить правила построения, принцип работы логических схем.
2. Синтезировать электрическую принципиальную схему логического устройства, описанного заданным преподавателем уравнением в алгебраической форме.
3. Нарисовать синтезированную схему в графическом редакторе САПР QUARTUS II.
4. Произвести симуляцию работы схемы. Зарисовать диаграммы работы и по ее результатам заполнить таблицу истинности смоделированной схемы.
5. Ответить на контрольные вопросы, оформить отчет о выполненной работе.

Выполнение работы

1. Изучить правила построения, принцип работы логических схем.

Изучено, усердно.

2. Синтезировать электрическую принципиальную схему логического устройства, описанного заданным 7 вариантом.

№ варианта	Задание
7	$Y = (\overline{B}\overline{D} + CA) \oplus D$

Для синтеза потребуется:

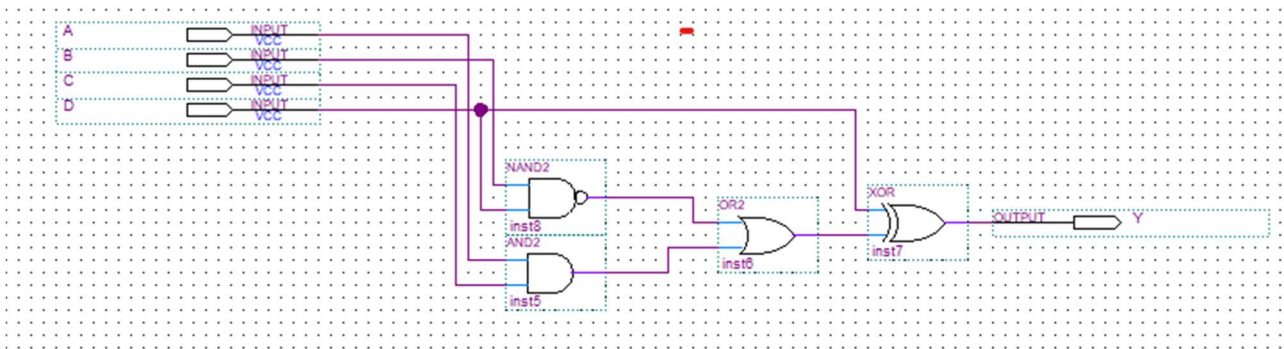
1 элемента И

1 элемента ИЛИ

1 элемент ИЛИ-НЕТ

1 элемент И-НЕ

3. Нарисовать синтезированную схему в графическом редакторе САПР QUARTUS II.



3. Произвести симуляцию работы схемы. Зарисовать диаграммы работы и по ее результатам заполнить таблицу истинности смоделированной схемы.

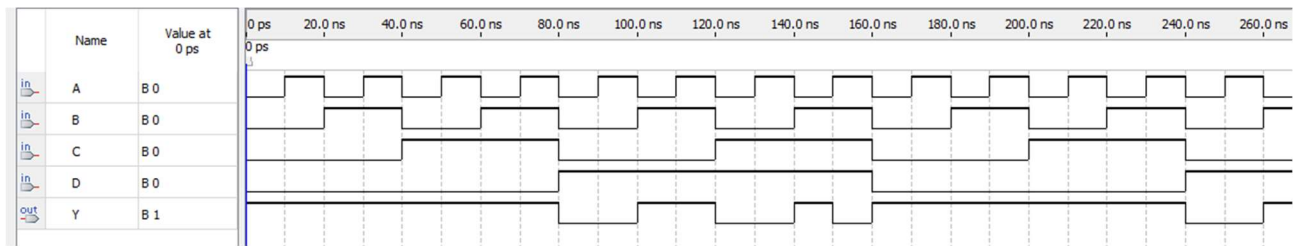


Диаграмма работы

Таблица истинности

A	B	C	D	Y
0	0	0	0	1
0	0	0	1	1
0	0	1	0	1
0	0	1	1	1
0	1	0	0	1
0	1	0	1	1
0	1	1	0	1
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	1
1	0	1	1	1
1	1	0	0	0

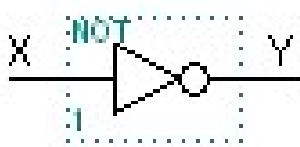
1	1	0	1	0
1	1	1	0	1
1	1	1	1	0
A	B	C	D	Y
0	0	0	0	1
0	0	0	1	0
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	1
0	1	1	0	1
0	1	1	1	1
1	0	0	0	1
1	0	0	1	0
1	0	1	0	1
1	0	1	1	0
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	0

4. Ответить на контрольные вопросы, оформить отчет о выполненной работе.

Контрольные вопросы

1. Назовите основные логические (булевы) функции и изобразите элементы их реализующие. Для каждой из функции запишите таблицу истинности.

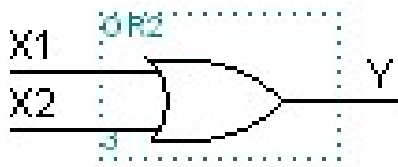
На рисунке 3.1 показан элемент «НЕ», который реализует функцию логического отрицания $Y = \overline{X}$.



X	Y
0	1
1	0

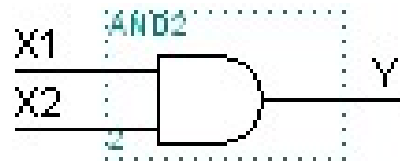
Рис. 3.1. Элемент «НЕ»

Элемент «ИЛИ» (рисунок 3.2) и элемент «И» (рисунок 3.3) реализуют функции логического сложения и логического умножения соответственно.



X1	X2	Y
0	0	0
0	1	1
1	0	1
1	1	1

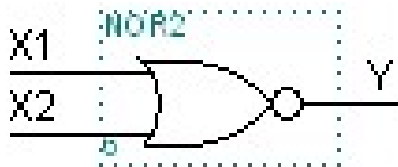
Рис. 3.2. Элемент «ИЛИ»



X1	X2	Y
0	0	0
0	1	0
1	0	0
1	1	1

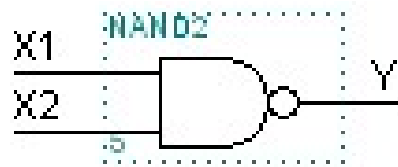
Рис. 3.3. Элемент «И»

Функции Пирса и функции Шеффера реализуются при помощи элементов «ИЛИ-НЕ» и «И-НЕ», приведенных на рисунках 3.4 и 3.5 соответственно.



X1	X2	Y
0	0	1
0	1	0
1	0	0
1	1	0

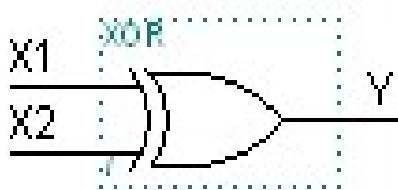
Рис. 3.4. Элемент «ИЛИ-НЕ»



X1	X2	Y
0	0	1
0	1	1
1	0	1
1	1	0

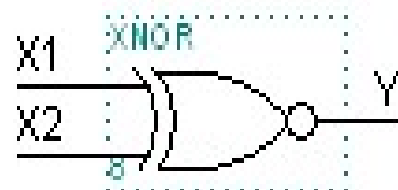
Рис. 3.5. Элемент «И-НЕ»

Элемент Пирса можно получить последовательным соединением логических элементов «ИЛИ» и элемента «НЕ», а элемент Шеффера - в виде последовательного соединения логических элементов «И» и элемента «НЕ». На рисунках 3.6 и 3.7 показаны элементы «отрицающее ИЛИ» та «отрицающее ИЛИ-НЕ», которые реализуют функции неравнозначности и неравнозначности с отрицанием соответственно.



X1	X2	Y
0	0	0
0	1	1
1	0	1
1	1	0

Рис. 3.6. Элемент «отрицающее ИЛИ»



X1	X2	Y
0	0	1
0	1	0
1	0	0
1	1	1

Рис. 3.7. элемент «отрицающее ИЛИ-НЕ»

2. Какие логические элементы доступны в библиотеке примитивов графического редактора MAX+PLUS II?

В него включён большой набор основных логических элементов, триггеров, элементов входа и выхода (INPUT, OUTPUT, BIDIR), а также вспомогательные элементы: GND (логический ноль), VCC (логическая единица).

3. Какие процессы протекают в системе при компиляции проекта?

Проверяется работа схема на сбои

Процесс компиляции построенной схемы в конфигурацию ПЛИС включает в себя множество этапов. Ключевыми этапами являются: «Analysis & Synthesis», «Fitter (Place & Route)», «Assembler», «TimeQuest Timing Analysis». Все они выполняются при каждой компиляции, но независимо друг от друга. То

есть, если критичные ошибки будут выявлены на этапе «Analysis & Synthesis», то процесс не прервется, а будет продолжаться до завершения всех оставшихся этапов.

4. Объясните результаты моделирования работы схемы лабораторной работы.

Получаем сигналы с выходных портов по временной шкале при заданных входных сигналах в определённое время.

Выводы

В данной лабораторной работе я научился проектировать логическую схему при помощи графического редактора САПР QUARTUS II, исследовать работу схемы с использованием сигнального редактора САПР QUARTUS II.